

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-307993

(43)Date of publication of application : 02.11.2001

(51)Int.Cl.

H01L 21/027

G03F 7/095

G03F 7/20

G03F 7/40

(21)Application number : 2000-125572

(71)Applicant : OKI ELECTRIC IND CO LTD

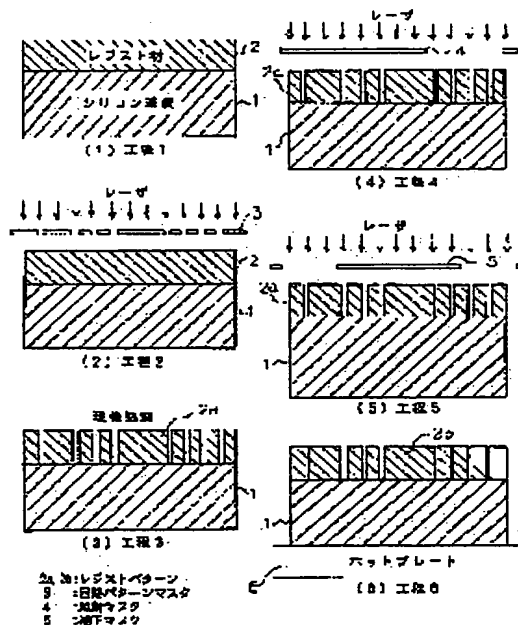
(22)Date of filing : 26.04.2000 (72)Inventor : WATANABE MINORU

## (54) RESIST PATTERN FORMATION METHOD

## (57)Abstract:

PROBLEM TO BE SOLVED: To form a fine resist pattern precisely.

SOLUTION: After a resist pattern 2a is formed by exposure/development treatment by means of a circuit pattern mask 3, laser is cast selectively on a part which fines the resist pattern 2a through an irradiation mask 4. Furthermore, laser is cast on the resist pattern 2a through a correction mask 5 for correcting temperature distribution of a hot plate 6. After laser is cast on the resist pattern 2a, a silicon substrate 1 is heated by the hot plate 6. Since the melting temperature of a resist material 2, which is irradiated with laser beam energy, lowers, the resist material 2 melts at a relatively low temperature and the space of the resist pattern 2a becomes narrow and a fine resist pattern 2b can be formed precisely.



本発明の前1の発明形態のレジストパターンの形成方法

## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号  
特開2001-307993  
(P2001-307993A)

(43)公開日 平成13年11月2日(2001.11.2)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テマコード*(参考)
H 0 1 L 21/027		G 0 3 F 7/095	2 H 0 2 5
G 0 3 F 7/095		7/20	5 0 5 2 H 0 9 6
7/20	5 0 5		5 2 1 2 H 0 9 7
	5 2 1	7/40	5 1 1 5 F 0 4 6
7/40	5 1 1	H 0 1 L 21/30	5 7 0

審査請求 未請求 請求項の数 8 O L (全 11 頁) 最終頁に続く

(21)出願番号 特願2000-125572(P2000-125572)

(22)出願日 平成12年4月26日(2000.4.26)

(71)出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72)発明者 渡辺 実

東京都港区虎ノ門1丁目7番12号 沖電気  
工業株式会社内

(74)代理人 100086807

弁理士 柿本 恭成

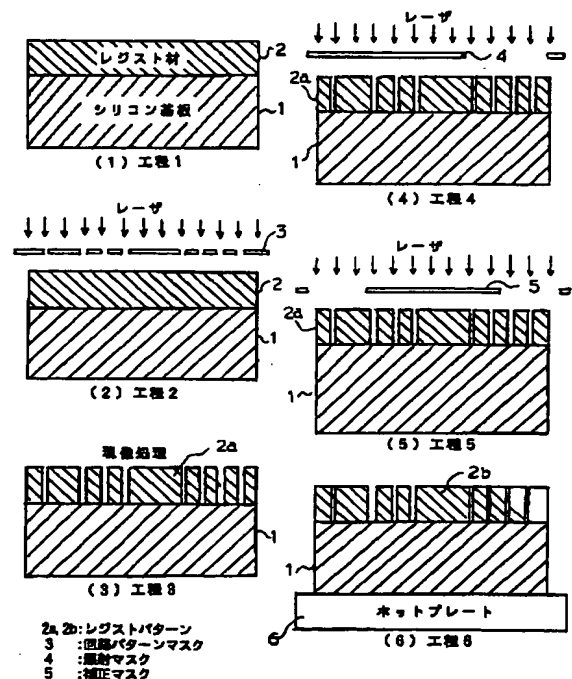
最終頁に続く

#### (54)【発明の名称】 レジストパターン形成方法

#### (57)【要約】

【課題】 精度良く微細なレジストパターンを形成する。

【解決手段】 回路パターンマスク3による露光・現像処理で、レジストパターン2aを形成した後、このレジストパターン2aの微細化を行う部分に対して照射マスク4を介して選択的にレーザを照射する。更に、ホットプレート6の温度分布を補正するための補正マスク5を介して、レジストパターン2aにレーザを照射する。レジストパターン2aにレーザを照射した後、シリコン基板1をホットプレート6で加熱する。レーザ光エネルギーが照射されたレジスト材2は、熔融温度が低下するので、比較的低温度でこのレジスト材2が熔融し、レジストパターン2aの間隔が狭くなり、微細なレジストパターン2bを精度よく形成することができる。



本発明の第1の実施形態のレジストパターン形成方法

## 【特許請求の範囲】

【請求項1】 半導体基板上にフォトレジストを塗布する塗布処理と、

前記半導体基板上に塗布されたフォトレジスト表面に所定のパターンが描かれたフォトマスクを介してレーザ光を当てて露光する露光処理と、

前記露光されたフォトレジストを現像して前記半導体基板上に前記所定のパターンと同一形状の第1のレジストパターンを形成する現像処理と、

前記半導体基板上に形成された第1のレジストパターン表面に所定量の光エネルギーを照射することにより、該第1のレジストパターンを構成するフォトレジストの熔融温度を低下させる照射処理と、

前記照射処理の施された半導体基板を所定時間だけ所定の温度に加熱することにより、前記第1のレジストパターンを熱によって変形させてパターン間隔が縮小された第2のレジストパターンを形成する加熱処理とを、行うことを特徴とするレジストパターン形成方法。

【請求項2】 前記照射処理は、前記第1のレジストパターンの特定箇所の熔融温度を低下させるために、遮光性のマスクを介して選択的に前記光エネルギーを照射することを特徴とする請求項1記載のレジストパターン形成方法。

【請求項3】 前記照射処理において、前記加熱処理時の前記半導体基板の温度分布に起因する前記パターン間隔の縮小率のばらつきを補正するために、前記第1のレジストパターン各部に対する前記光エネルギーの照射量を加減し、該第1のレジストパターン各部の熔融温度を制御することを特徴とする請求項1または2記載のレジストパターン形成方法。

【請求項4】 半導体基板上に第1のフォトレジストを塗布する第1の塗布処理と、

前記第1のフォトレジストの表面に該第1のフォトレジストよりも熔融温度の高い第2のフォトレジストを塗布する第2の塗布処理と、

前記半導体基板上に塗布されたフォトレジスト表面に所定のパターンが描かれたフォトマスクを介してレーザ光を当てて露光する露光処理と、

前記露光されたフォトレジストを現像して前記半導体基板上に前記所定のパターンと同一形状の第1のレジストパターンを形成する現像処理と、

前記現像処理の施された半導体基板を所定時間だけ所定の温度に加熱することにより、前記第1のレジストパターンを熱によって変形させてパターン間隔が縮小された第2のレジストパターンを形成する加熱処理とを、行うことを特徴とするレジストパターン形成方法。

【請求項5】 前記露光処理において、前記所定のパターンの外側に前記加熱処理で前記第1のレジストパターンが熱変形したときに消滅する程度の寸法のダミーパターンを配置したフォトマスクを用いることを特徴とする

請求項1、2、3または4記載のレジストパターン形成方法。

【請求項6】 前記露光処理におけるフォトマスクに、ハーフトーン位相シフトマスクを用いることを特徴とする請求項1、2、3または4記載のレジストパターン形成方法。

【請求項7】 半導体基板上にフォトレジストを塗布する塗布処理と、

前記半導体基板上に塗布されたフォトレジスト表面に所定のパターンが描かれたフォトマスクを介してレーザ光を当てて露光する露光処理と、

前記露光されたフォトレジストを現像して前記半導体基板上に前記所定のパターンと同一形状の第1のレジストパターンを形成する現像処理と、

前記照射処理の施された半導体基板を所定時間だけ所定の温度に加熱することにより、前記第1のレジストパターンの表面を熔融して平滑化した表面を有する第2のレジストパターンを形成する加熱処理とを、

行うことを特徴とするレジストパターン形成方法。

【請求項8】 前記塗布処理において、位置合わせマーク形成箇所に予め透明膜を形成し、該透明膜上に前記フォトレジストを塗布することにより、該位置合わせマーク形成箇所のフォトレジストを他の箇所よりも薄く塗布するようにしたことを特徴とする請求項1乃至7のいずれか1つに記載したレジストパターン形成方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体製造工程におけるレジストパターンの形成方法に関するものである。

## 【0002】

【従来の技術】従来、半導体製造工程において微細パターンを形成する技術として、サーマルフローによるレジストパターン形成方法がある。サーマルフローとは、フォトリソグラフィ工程で基板上に形成したレジストパターンを構成するレジスト材が、ある温度に加熱されたときに熱で変形して流れ、このレジストパターンが拡大する現象をいう。

【0003】例えば、直径0.1  $\mu\text{m}$ 程度のホールパターンや、幅0.1  $\mu\text{m}$ 程度のスリットパターンを形成する場合、サーマルフローを用いて次のような工程でレジストパターンを形成していた。

【0004】(1) シリコン基板上に化学増幅型ポジレジスト材を一様に塗布する。

(2) 直径0.25  $\mu\text{m}$ 程度のホールや、幅0.35  $\mu\text{m}$ 程度のスリットが形成された回路パターンマスクを介して、レジスト材の表面をKrFエキシマレーザで露光する。

【0005】(3) レジスト材をアルカリ現像液で現像し、露光された部分のレジスト材を除去する。これに

より、直径0.25 $\mu$ m程度のホールや、幅0.35 $\mu$ m程度のスリットを有するレジストパターンが形成される。

(4) レジストパターンが形成されたシリコン基板をホットプレート上に乗せ、温度120～160℃で90秒程度加熱する。

【0006】(5) 加熱処理により、レジスト材が溶けて変形し、レジストパターンが外側に拡大する。これにより、ホールの直径やスリットの幅が縮小し、直径0.1 $\mu$ m程度のホールパターンや、幅0.1 $\mu$ m程度の微細なスリットパターンが形成される。

【0007】

【発明が解決しようとする課題】しかしながら、従来のサーマルフローによるレジストパターン形成方法では、次のような課題があった。

【0008】(i) 加熱処理によるパターンの微細化は、レジスト材の熱による変形を利用しているため、加熱温度と加熱時間に影響され、目的のパターン寸法精度を得ることが難しかった。

(ii) レジストパターンの形状、寸法、密度等によってサーマルフローによる変形の状態が異なり、所望の設計パターンからの寸法差や形状差が生じる。

(iii) 加熱処理に用いるホットプレートの温度分布の差により、サーマルフローによる変形の程度が異なり、均一な微細パターンを得ることが困難となりパターン寸法精度が劣化することがあった。

【0009】本発明は、前記従来技術が持っていた課題を解決し、精度良く微細なパターンを形成することができレジストパターン形成方法を提供するものである。

【0010】

【課題を解決するための手段】前記課題を解決するために、本発明の内の第1の発明は、レジストパターン形成方法において、半導体基板上にフォトレジストを塗布する塗布処理と、前記半導体基板上に塗布されたフォトレジスト表面に所定のパターンが描かれたフォトマスクを介してレーザ光を当てて露光する露光処理と、前記露光されたフォトレジストを現像して前記半導体基板上に前記所定のパターンと同一形状の第1のレジストパターンを形成する現像処理と、前記半導体基板上に形成された第1のレジストパターン表面に所定量の光エネルギーを照射することにより、該第1のレジストパターンを構成するフォトレジストの熔融温度を低下させる照射処理と、前記照射処理の施された半導体基板を所定時間だけ所定の温度に加熱することにより、前記第1のレジストパターンを熱によって変形させてパターン間隔が縮小された第2のレジストパターンを形成する加熱処理とを行うようにしている。

【0011】第1の発明によれば、以上のようにレジストパターン形成方法を構成したので、次のような作用が行われる。

【0012】塗布処理によって半導体基板上にフォトレジストを塗布され、露光処理によって所定のパターンが描かれたフォトマスクを介してこのフォトレジストに、レーザ光が照射される。現像処理によって露光されたフォトレジストが現像され、第1のレジストパターンが形成される。照射処理によって、第1のレジストパターンに所定量の光エネルギーが照射され、フォトレジストの熔融温度が低下させられる。加熱処理によって半導体基板が所定時間だけ所定の温度に加熱されると、第1のレジストパターンが変形して、パターン間隔が縮小された第2のレジストパターンが形成される。

【0013】第2の発明は、第1の発明の照射処理において、第1のレジストパターンの特定箇所の熔融温度を低下させるために、遮光性のマスクを介して選択的に光エネルギーを照射するようにしている。

【0014】第3の発明は、第1または第2の発明の照射処理において、加熱処理時の半導体基板の温度分布に起因するパターン間隔の縮小率のばらつきを補正するために、第1のレジストパターン各部に対する光エネルギーの照射量を加減し、該第1のレジストパターン各部の熔融温度を制御するようにしている。

【0015】第4の発明は、レジストパターン形成方法において、半導体基板上に第1のフォトレジストを塗布する第1の塗布処理と、前記第1のフォトレジストの表面に該第1のフォトレジストよりも熔融温度の高い第2のフォトレジストを塗布する第2の塗布処理と、前記半導体基板上に塗布されたフォトレジスト表面に所定のパターンが描かれたフォトマスクを介してレーザ光を当てて露光する露光処理と、前記露光されたフォトレジストを現像して前記半導体基板上に前記所定のパターンと同一形状の第1のレジストパターンを形成する現像処理と、前記現像処理の施された半導体基板を所定時間だけ所定の温度に加熱することにより、前記第1のレジストパターンを熱によって変形させてパターン間隔が縮小された第2のレジストパターンを形成する加熱処理とを行うようにしている。

【0016】第4の発明によれば、次のような作用が行われる。第1及び第2の塗布処理により、半導体基板上に熔融温度の低い第1のフォトレジストと熔融温度の高い第2のフォトレジストが順次塗布される。露光処理により、所定のパターンが描かれたフォトマスクを介して、フォトレジストにレーザ光が照射され、現像処理によってフォトレジストが現像されて第1のレジストパターンが形成される。加熱処理によって半導体基板が所定時間だけ所定の温度に加熱されると、第1のレジストパターンが変形して、パターン間隔が縮小された第2のレジストパターンが形成される。

【0017】第5の発明は、第1～第4の発明の露光処理において、所定のパターンの外側に加熱処理で第1のレジストパターンが熱変形したときに消滅する程度の寸

法のダミーパターンを配置したフォトマスクを用いるようにしている。

【0018】第6の発明は、第1～第4の発明の露光処理において、フォトマスクとしてハーフトーン位相シフトマスクを用いるようにしている。

【0019】第7の発明は、レジストパターン形成方法において、半導体基板上にフォトレジストを塗布する塗布処理と、前記半導体基板上に塗布されたフォトレジスト表面に所定のパターンが描かれたフォトマスクを介してレーザ光を当てて露光する露光処理と、前記露光されたフォトレジストを現像して前記半導体基板上に前記所定のパターンと同一形状の第1のレジストパターンを形成する現像処理と、前記照射処理の施された半導体基板を所定時間だけ所定の温度に加熱することにより、前記第1のレジストパターンの表面を溶融し、平滑化した表面を有する第2のレジストパターンを形成する加熱処理とを行うようにしている。

【0020】第7の発明では、次のような作用が行われる。塗布処理により、半導体基板上にフォトレジストが塗布され、露光処理により、所定のパターンが描かれたフォトマスクを介して、このフォトレジストにレーザ光が照射される。現像処理によってフォトレジストが現像されて第1のレジストパターンが形成され、加熱処理によって半導体基板が所定時間だけ所定の温度に加熱されると、第1のレジストパターンの表面が溶融して平滑化した表面を有する第2のレジストパターンが形成される。

【0021】第8の発明は、第1～第7の発明の塗布処理において、位置合わせマーク形成箇所予め透明膜を形成し、該透明膜上にフォトレジストを塗布することにより、該位置合わせマーク形成箇所のフォトレジストを他の箇所よりも薄く塗布するようにしている。これにより、位置合わせマーク形成箇所のフォトレジストの加熱処理による変形量が少なくなり、精密な位置合わせマークを有するレジストパターンが形成される。

【0022】

【発明の実施の形態】（第1の実施形態）図1（1）～（6）は、本発明の第1の実施形態を示すレジストパターン形成方法の工程図である。以下、この図1（1）～（6）に従って、半導体製造過程におけるレジストパターン形成方法を説明する。

【0023】（1） 工程1

半導体基板（例えば、シリコン基板）1上に、フォトレジスト（例えば、化学増幅型ポジレジスト材、以下、単に「レジスト材」という）2を一様に塗布する。このとき、シリコン基板1の表面に回路パターンが既に形成されているか否かは関係ない。

【0024】（2） 工程2

シリコン基板1上に塗布されたレジスト材2の表面に、フォトマスク（例えば、回路パターンマスク）3を介し

てKrFエキシマレーザを露光する。この回路パターンマスク3には、KrFエキシマレーザの波長（248nm）に基づく限界寸法である直径0.25μm程度のホールや、幅0.35μm程度のスリットを含む回路パターンが形成されている。

【0025】（3） 工程3

露光が行われたシリコン基板1上のレジスト材2を、アルカリ現像液で現像する。これにより、レーザで露光された部分のレジスト材2が除去され、露光が行われなかった部分のレジスト材2が残り、回路パターンマスク3と同一形状で、直径0.25μm程度のホールや、幅0.35μm程度のスリットを有するレジストパターン2aが形成される。

【0026】（4） 工程4

現像によって形成されたシリコン基板1上のレジストパターン2aの表面に、照射マスク4を介して工程2と同様のレーザを照射する。ここで、照射マスク4は、後述する工程6における加熱処理によって、レジストパターン2aを熱によって変形させてパターン間隔を縮小させたい箇所にのみ、レーザを照射するための遮光マスクである。また、レーザの照射エネルギーは、レジスト材2の材質や厚さによって最適値が異なるが、例えば100J/m<sup>2</sup>程度である。

【0027】（5） 工程5

工程4と同様に、補正マスク5を介してレジストパターン2aにレーザを照射する。ここで、補正マスク5は、工程6における加熱処理におけるシリコン基板1の温度分布を補正するための遮光マスクである。加熱処理において、例えば、シリコン基板1の中央部の温度が周辺部に比べて高くなる場合、周辺部のレジストパターン2aの溶解温度を低下させるために、レーザを追加して照射するために用いられる。

【0028】（6） 工程6

工程4、5でレジストパターン2aにレーザの照射が行われたシリコン基板1を、ホットプレート6に載せ、所定時間（例えば、60秒）だけ所定の温度（例えば、130～140℃）に加熱する。これにより、レジストパターン2aが熱によって溶解して変形し、回路パターンマスク3のパターンとは異なるレジストパターン2bが形成される。

【0029】この時、工程4、5で照射されたレーザのエネルギーが多いほど、レジスト材2の溶解温度が低下し、熱による変形量が大きくなる。即ち、レジストパターン2aを構成するレジスト材2が溶けて流れ、パターン間隔が縮小される。これにより、工程4においてレーザが照射された箇所のホールの直径やスリットの幅が縮小し、直径0.1μm程度のホールパターンや、幅0.1μm程度の微細なスリットパターンが形成される。また、レーザが照射されていない箇所のパターンはほとんど変形せず、レジストパターン2aと同様のパターンと

なる。

【0030】以上のように、この第1の実施形態のレジストパターン形成方法は、工程4、5において、レジストパターン2aにレーザを照射することにより、工程6における加熱処理の温度を低下することができる。これにより、温度設定の精度を高くすることが可能になり、変形後のレジストパターン2bの寸法精度を高くすることができる。

【0031】また、工程4において、現像後のレジストパターン2a中の微細なパターンを形成したい箇所のみ、選択的にレーザを照射するようにしているので、任意の箇所に微細なパターンを形成することができる。更に、工程5において、ホットプレート6等による加熱温度の温度分布を補正するために、部分的にレーザを照射してレジスト材2の熔融温度を低下させるようにしている。これにより、工程6における加熱温度の不均一を補正し、寸法精度の良いレジストパターン2bを形成することができる。

【0032】(第2の実施形態) 図2(1)～(5)は、本発明の第2の実施形態を示すレジストパターン形成方法の工程図であり、図1中の要素と共通の要素には共通の符号が付されている。以下、この図2(1)～(5)に従って、半導体製造過程におけるレジストパターン形成方法を説明する。

#### 【0033】(1) 工程11

シリコン基板1上に、比較的熔融温度の低いレジスト材11を一様に塗布する。このとき、シリコン基板1の表面に既に回路パターンが形成されてるか否かは関係ない。

#### 【0034】(2) 工程12

レジスト材11の表面に、比較的熔融温度の高いレジスト材12を一様に塗布する。更に、レジスト材12の表面に、レジスト材11と同様に比較的熔融温度の低いレジスト材13を一様に塗布する。これにより、レジスト材11、12、13による積層レジスト膜10が形成される。

#### 【0035】(3) 工程13

シリコン基板1上に形成された積層レジスト膜10の表面に、直径0.25 $\mu$ m程度のホールや、幅0.35 $\mu$ m程度のスリットを含む回路パターンが形成された回路パターンマスク3を介して、KrFエキシマレーザを露光する。

#### 【0036】(4) 工程14

露光が行われたシリコン基板1上の積層レジスト膜10を、アルカリ現像液で現像する。これにより、レーザで露光された部分の積層レジスト膜10が除去され、露光が行われなかった部分の積層レジスト膜10が残り、回路パターンマスク3と同一形状で、直径0.25 $\mu$ m程度のホールや、幅0.35 $\mu$ m程度のスリットを有するレジストパターン10aが形成される。

#### 【0037】(5) 工程15

レジストパターン10aが形成されたシリコン基板1を、ホットプレート6に載せ、所定時間(例えば、90秒)だけ所定の温度(例えば、120～160℃)に加熱する。これにより、レジストパターン10aが熱によって溶解して変形し、直径0.1 $\mu$ m程度のホールパターンや、幅0.1 $\mu$ m程度の微細なスリットパターンを有するレジストパターン10bが形成される。

【0038】以上のように、この第2の実施形態のレジストパターン形成方法は、工程11、12において、比較的熔融温度の低いレジスト材11、13によって、比較的熔融温度の高いレジスト材12を挟んだ構造の積層レジスト膜10を形成する。更に、工程13、14において、この積層レジスト膜10によるレジストパターン10aを形成している。これにより、工程15において加熱処理を行ったときに、レジストパターン10aが均一に熱変形し、精度良く微細なレジストパターン10bを形成することができる。

【0039】(第3の実施形態) 図3は、本発明の第3の実施形態を示す回路パターンマスクの一例の平面図である。この回路パターンマスク20は、例えば図1

(2)中の回路パターンマスク3に代えて用いられるもので、斜線を付した部分が遮光領域を示している。この回路パターンマスク20において、1辺が数 $\mu$ mで独立した比較的大きな素子パターン21の外周には、0.2 $\mu$ m程度の間隔を隔てて、これを囲むように幅が0.2 $\mu$ m程度の複数のダミーパターン21aが設けられている。

【0040】一方、密集して設けられた1辺が1 $\mu$ m程度の複数の素子パターン22の周囲には、0.2 $\mu$ m程度の間隔を隔てて、これらを囲むように幅が0.2 $\mu$ m程度のダミーパターン22aが設けられている。これらのダミーパターン21a、22aは、図1(6)の工程6における熱処理で、熔融したレジストパターン2aのレジスト材2によって埋められてしまう程度の寸法に設定されている。

【0041】このような回路パターンマスク20を用いてシリコン基板1上のレジスト材2にレーザを露光し、これを現像して素子パターン21、22及びダミーパターン21a、22aを有するレジストパターン2aを形成する。更に、レジストパターン2aが形成されたシリコン基板1を加熱処理する。これにより、レジストパターン2aを構成するレジスト材2が熔融する。素子パターン21、22とダミーパターン21a、22bの間に存在するレジスト材2の一部は、この素子パターン21、22及びダミーパターン21a、22bに分かれて流れ込む。

【0042】以上のように、この第3の実施形態の回路パターンマスク20は、素子パターン21、22の周囲に、ダミーパターン21a、22bを設けているので、

形成されたレジストパターン2 aを加熱処理したときに、この素子パターン2 1, 2 2へ流れ込むレジスト材2の量を限定することができる。これにより、加熱処理による素子パターン2 1, 2 2の微細化の精度を向上することができる。

【0043】また、ダミーパターン2 1 a, 2 2 aは、流れ込んだレジスト材2によって埋められてしまう程度の寸法に設定しているので、加熱処理後のレジストパターン2 bに、ダミーパターン2 1 a, 2 2 aが残ることがない。

【0044】(第4の実施形態) 第4の実施形態では、例えば図1(2)中の回路パターンマスク3に代えて、ハーフトーン位相シフトマスクを用いる。図4は、本発明の第4の実施形態において、ハーフトーン位相シフトマスクを用いて露光処理を行ったときに得られるレジストパターン2 xの一例を示す平面図である。図4中の斜線を付した部分は、露光処理においてレーザが照射されていない部分を示す。

【0045】この図4に示すように、所望する素子パターン2 yの周囲に、一定の距離を隔ててセカンドピークによるディンプルパターン2 zが形成される。従って、このようなレジストパターン2 xを加熱処理すると、素子パターン2 yとディンプルパターン2 zの間に存在するレジスト材2の一部が、この素子パターン2 y及びディンプルパターン2 zに分かれて流れ込む。そして、ディンプルパターン2 zはレジスト材2で埋められ、加熱処理後のレジストパターン2 bに、このディンプルパターン2 zが残ることがない。

【0046】以上のように、この第4の実施形態は、露光処理において、回路パターンマスクとしてハーフトーン位相シフトマスクを用いているので、目的の素子パターン2 yの周囲にディンプルパターン2 zを形成することができる。これにより、第3の実施形態のように予めダミーパターンを設ける必要なしに、この第3の実施形態と同様の利点を得ることができる。

【0047】(第5の実施形態) 図5は、本発明の第5の実施形態を示す位置合わせマークの一例の断面図である。この図5に示すように、予め位置合わせ用の下地マーク1 aが形成されているシリコン基板1において、この下地マーク1 a部分を覆うようにシリコン酸化膜等の透明膜1 bを形成する。これに表面が平らになるように、レジスト材2を塗布する。この後の露光、現像、加熱処理等は、例えば、第1の実施形態で説明したとおりである。

【0048】下地マーク1 a部分の上に塗布された位置合わせマーク用のレジストパターンの厚さは、透明膜1 bの厚さだけ薄くなるので、加熱処理において熔融するレジスト材の量が少なく、レジストパターンの変形がほとんど生じない。これにより、精密な位置合わせマークを形成することができる。

【0049】なお、本発明は、上記実施形態に限定されず、種々の変形が可能である。この変形例としては、例えば、次の(a)～(j)のようなものがある。

(a) 図1のレジストパターン形成方法では、工程4において照射マスク4を用いて微細化を必要とする箇所に選択的にレーザを照射するようにしているが、全体を微細化する場合には、照射マスク4を使用する必要はない。工程6の加熱処理を低温度で行うために、レジストパターンの全面にレーザを照射する場合にも、照射マスク4を使用する必要はない。

【0050】(b) 図1のレジストパターン形成方法では、工程5において補正マスク5を用いて工程6の加熱処理の温度分布の不均一を補正するようにしているが、この加熱処理で均一な温度分布が得られるのであれば、この工程5の処理は不要である。

【0051】(c) 図2のレジストパターン形成方法では、レジストパターン1 0 aの形成後、このレジストパターン1 0 aに対するレーザの照射を行っていないが、図1と同様に、微細パターンに対する選択的なレーザ照射と、加熱処理の温度分布補正のためのレーザ照射を行うようにしても良い。これにより、更に精密なレジストパターン1 0 bを形成することが可能となる。

【0052】(d) 図3では、素子パターン2 1, 2 2に対するダミーパターン2 1 a, 2 2 aの構成例を示したが、ホール、ダマシ(配線パターン)、トレンチ(素子分離パターン)、位置合わせマーク等のパターンに対しても同様に適用可能である。

【0053】(e) 図3のダミーパターン2 1 a, 2 2 aは、矩形または線形となっているが、形状はこれに限定されない。即ち、加熱処理の後のレジストパターンが、所望の形状寸法となるように、ダミーパターンの形状を設定すれば良い。

(f) 図4の素子パターン2 yは円形となっているが、形状はこれに限定されない。

【0054】(g) 例えば図2(5)の工程1 6では、微細なレジストパターン1 0 bを形成するために、レジストパターン1 0 aが熔融して間隙が狭くなるような加熱処理を行っているが、間隙を狭くする必要が無い場合でも、レジストパターン1 0 aの表面の凹凸を無くして滑らかにするための加熱処理を行うようにしても良い。これにより、微細化に伴う光学コントラストの低下によってレジストパターン1 0 aに生じたエッジラフネスや、定在波によるフリンジを整形して滑らかなレジストパターンを形成することができる。この場合の加熱温度は、表面だけを熔融すれば良いので、工程1 6よりも低い温度で良い。

【0055】(h) サーマルフローにおけるレジストパターンの寸法精度の向上について説明したが、これに限定するものではない。例えば、ドライエッチングやイオン注入用のレジストパターンのレジスト耐性を向上す

るためのキュア処理や、その他の目的でレジストを熱処理する場合にも同様に適用できる。

【0056】(i) 半導体リソグラフィ工程における適用例を示したが、シリコンやガリウム・砒素等に限らず、マスク材料や液晶基板用のガラス材料類などにも適用できる。

(j) レジスト材2は、露光された箇所が除去されるポジ型のものを説明したが、露光された箇所が残るネガ型のものでも、同様に適用可能である。

#### 【0057】

【発明の効果】以上詳細に説明したように、第1の発明によれば、第1のレジストパターンに光エネルギーを照射して、フォトレジストの熔融温度を低下させる照射処理を行っている。これにより、加熱処理によって容易にパターン間隔を縮小して、寸法精度の良い微細な第2のレジストパターンを形成することができる。

【0058】第2の発明によれば、第1の発明の照射処理において、遮光性のマスクの介して選択的に光エネルギーを照射するようにしている。これにより、部分的に微細パターンを有する第2のレジストパターンを形成することができる。

【0059】第3の発明によれば、第1または第2の発明の照射処理において、加熱処理時の温度分布を補正するために、第1のレジストパターン各部に対する光エネルギーの照射量を加減するようにしている。これにより、加熱処理時の温度分布に影響されずに、寸法精度の良い微細な第2のレジストパターンを形成することができる。

【0060】第4の発明によれば、第1及び第2の塗布処理によって、半導体基板上に熔融温度の低い第1のフォトレジストと、熔融温度の高い第2のフォトレジストを順次塗布している。これにより、加熱処理において第1のレジストパターンが均一に熱変形し、寸法精度が良く微細な第2のレジストパターンを得ることができる。

【0061】第5の発明によれば、第1～第4の発明の露光処理において、所定のパターンの外側に加熱処理で第1のレジストパターンが熱変形したときに消滅する程度の寸法のダミーパターンを配置したフォトマスクを用いている。これにより、第1のレジストパターンの熱による変形量が制約され、第2のレジストパターンを設計どおりに容易に形成することが可能になる。

【0062】第6の発明によれば、第1～第4の発明の

露光処理において、ハーフトーン位相シフトマスクを用いている。これにより、予めダミーパターンを配置せずに、このダミーパターンと同様の働きをするディンプルパターンが形成され、第5の発明と同様の効果が得られる。

【0063】第7の発明によれば、加熱処理において、第1のレジストパターンの表面を平滑化して第2のレジストパターンを形成するようにしている。これにより、凹凸のない滑らかな寸法精度の良いレジストパターンが得られる。

【0064】第8の発明によれば、第1～第7の発明の塗布処理において、位置合わせマーク形成箇所のフォトレジストを他の箇所よりも薄く塗布するようにしている。これにより、位置合わせマーク形成箇所のフォトレジストの加熱処理による変形量が少なくなり、精密な位置合わせマークを有するレジストパターンが得られる。

#### 【図面の簡単な説明】

【図1】本発明の第1の実施形態を示すレジストパターン形成方法の工程図である。

【図2】本発明の第2の実施形態を示すレジストパターン形成方法の工程図である。

【図3】本発明の第3の実施形態を示す回路パターンマスクの一例の平面図である。

【図4】本発明の第4の実施形態において、ハーフトーン位相シフトマスクを用いて露光処理を行ったときに得られるレジストパターン2xの一例を示す平面図である。

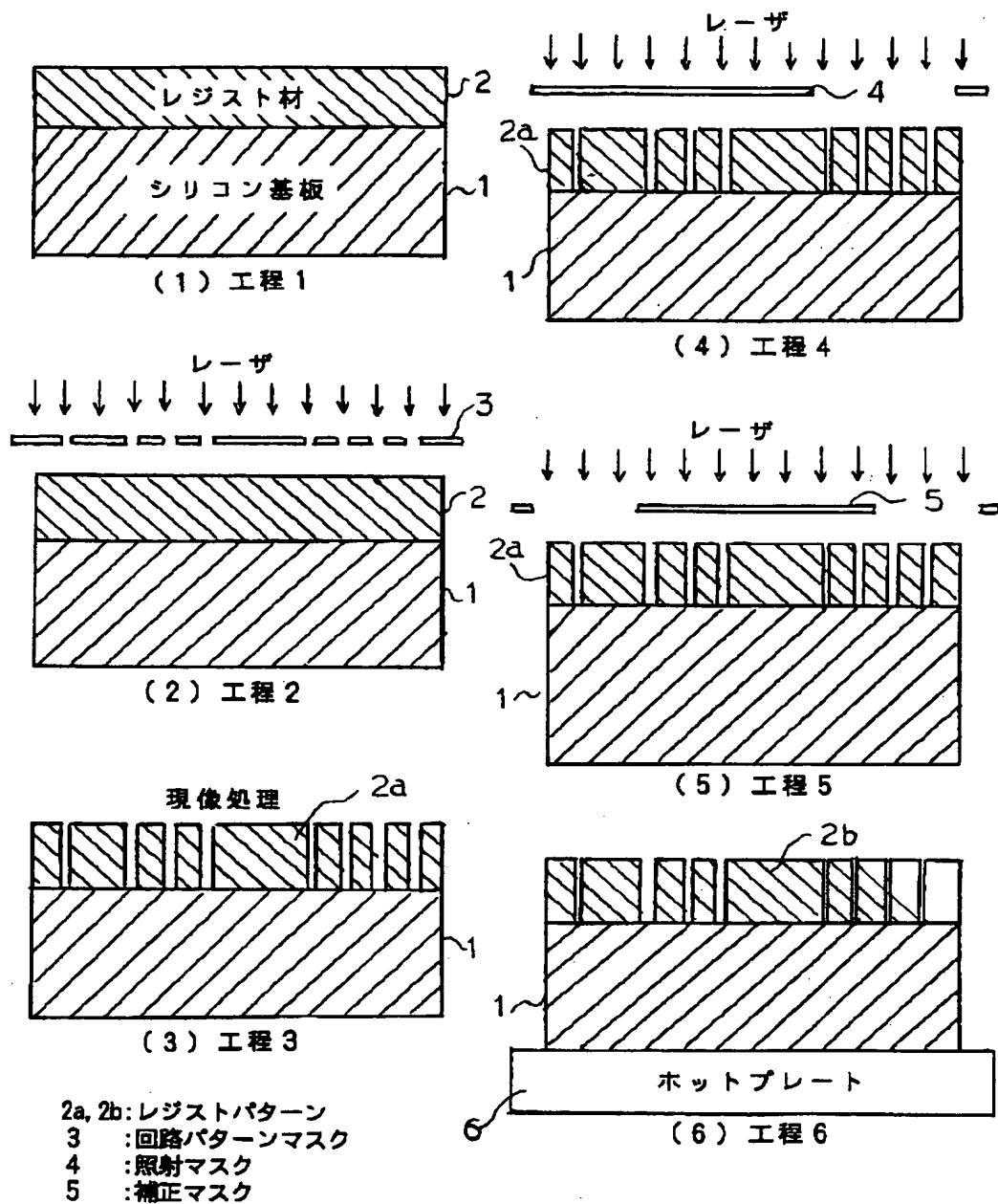
【図5】本発明の第5の実施形態を示す位置合わせマークの一例の断面図である。

#### 【符号の説明】

- 1 シリコン基板
- 2, 11, 12, 13 レジスト材
- 2a, 2b, 2x, 10a, 10b レジストパターン
- 2y, 21, 22 素子パターン
- 2z ディンプルパターン
- 3, 20 回路パターンマスク
- 4 照射マスク
- 5 補正マスク
- 6 ホットプレート
- 10 積層レジスト材
- 21a, 22a ダミーパターン

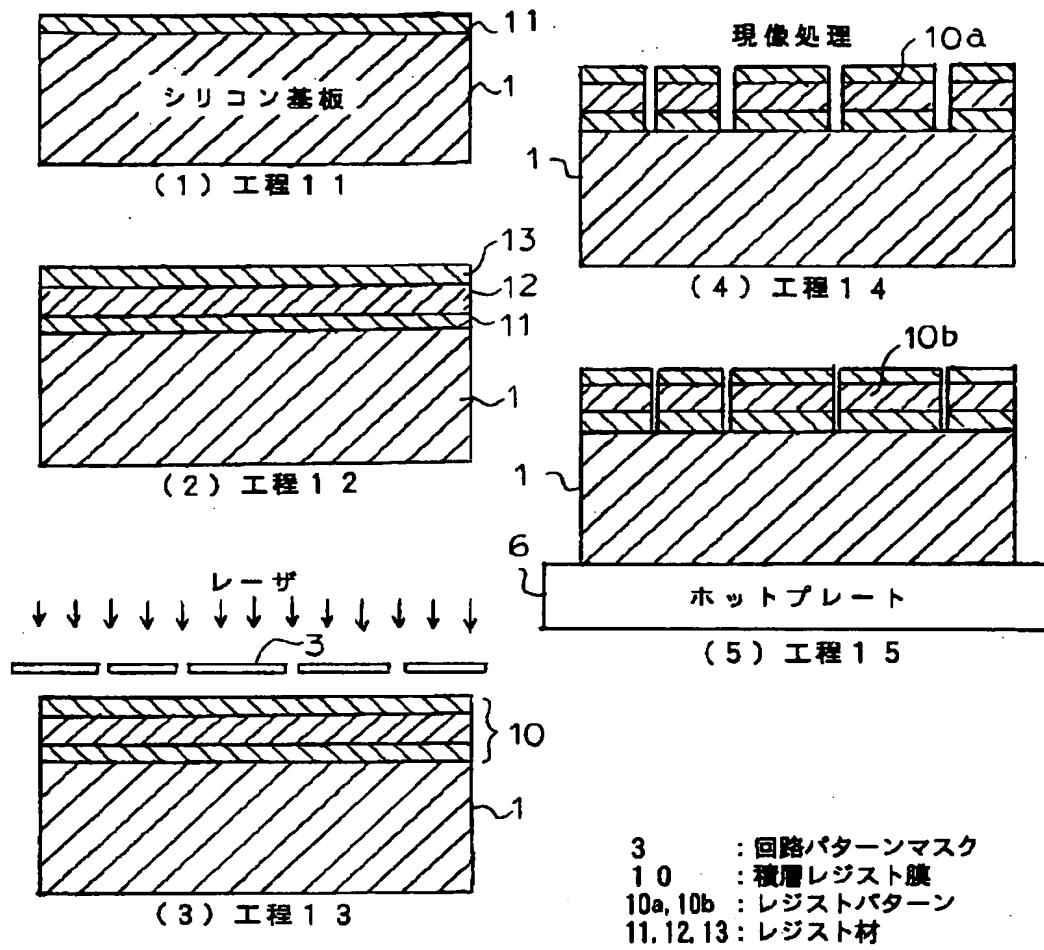


【図1】



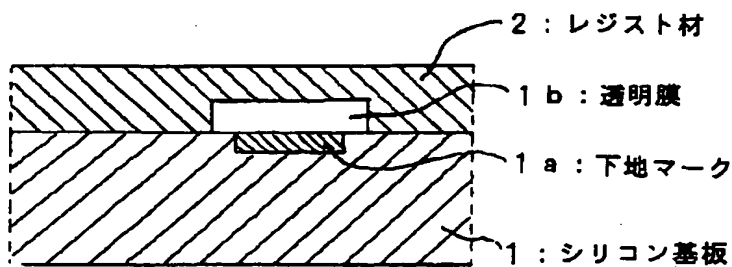
本発明の第1の実施形態のレジストパターン形成方法

【図2】



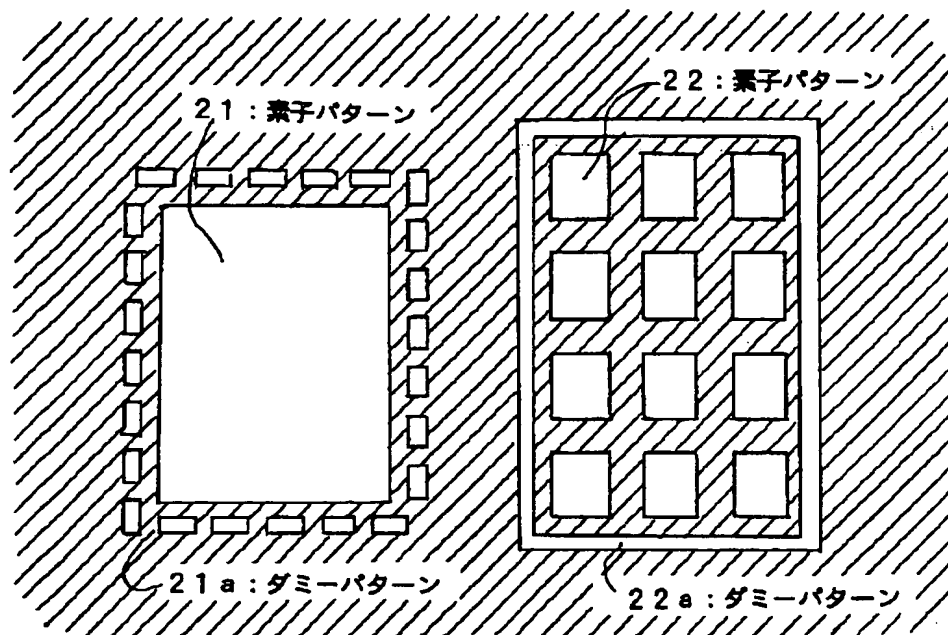
本発明の第2の実施形態のレジストパターン形成方法

【図5】



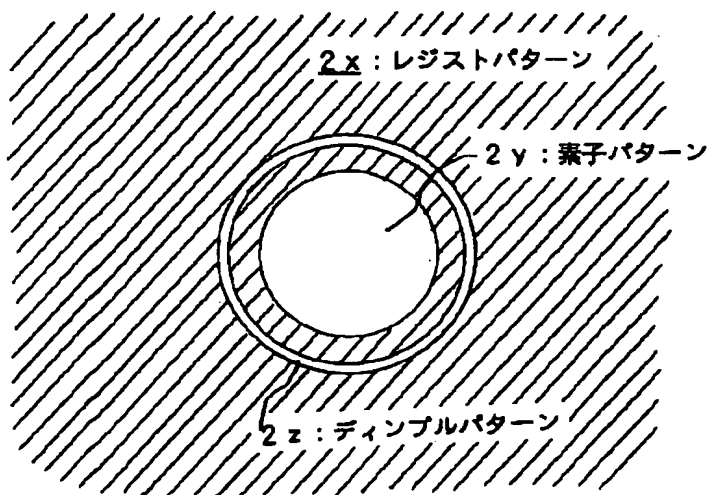
本発明の第5の実施形態の位置合わせマーク

【図3】



本発明の第3の実施形態の回路パターンマスク

【図4】



本発明の第4の実施形態のレジストパターン

フロントページの続き

(51) Int. Cl. 7

識別記号

F I  
H 0 1 L 21/30

テームコート\* (参考)

5 1 5 B

Fターム(参考) 2H025 AA02 AA03 AB16 AD01 AD03  
BJ08 CB59 DA13 FA29 FA30  
FA33  
2H096 AA25 BA01 BA09 EA04 HA01  
HA03 HA05 KA02 KA07 KA30  
2H097 AA03 BA10 BB01 CA17 EA01  
GA45 HB03 JA02 LA10  
5F046 AA25 CA03 CB17 DA02 DA26  
LA18